DDR3 读写测试实验

1 实验简介

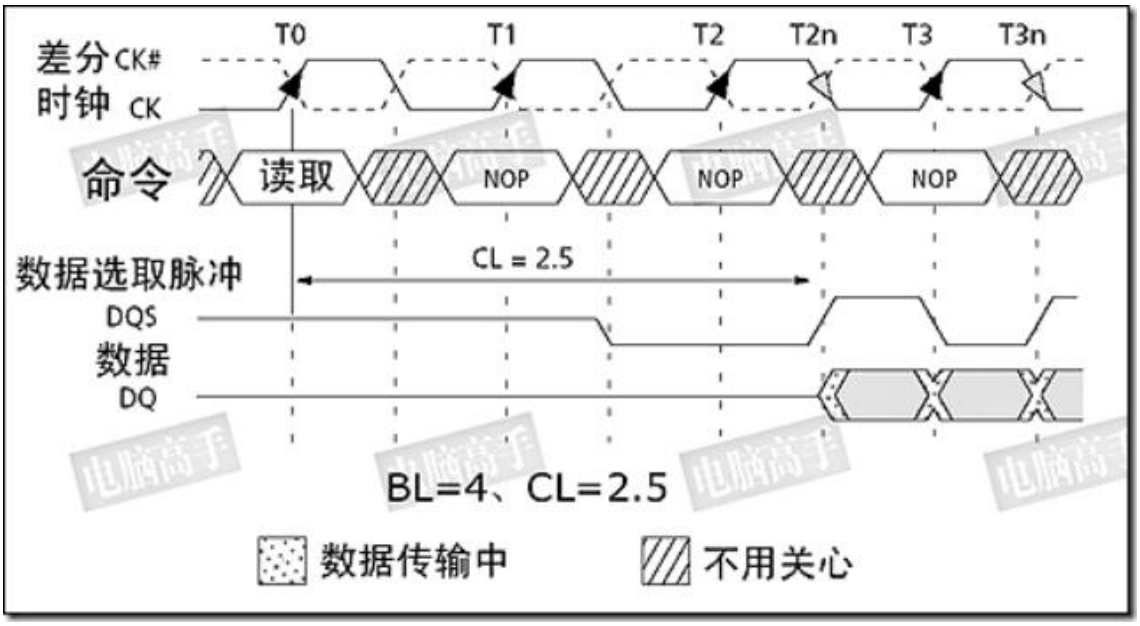
本实验为后续使用 DDR3 内存的实验做铺垫，通过循环读写 DDR3 内存，了解其工作原理和 DDR3 控制器的写法，由于 DDR3 控制复杂，控制器的编写难度高，这里笔者介绍采用第三方的 DDR3 IP 控制器情况下的应用，是后续音频、视频等需要用到 DDR3 实验的基础。

2 实验原理

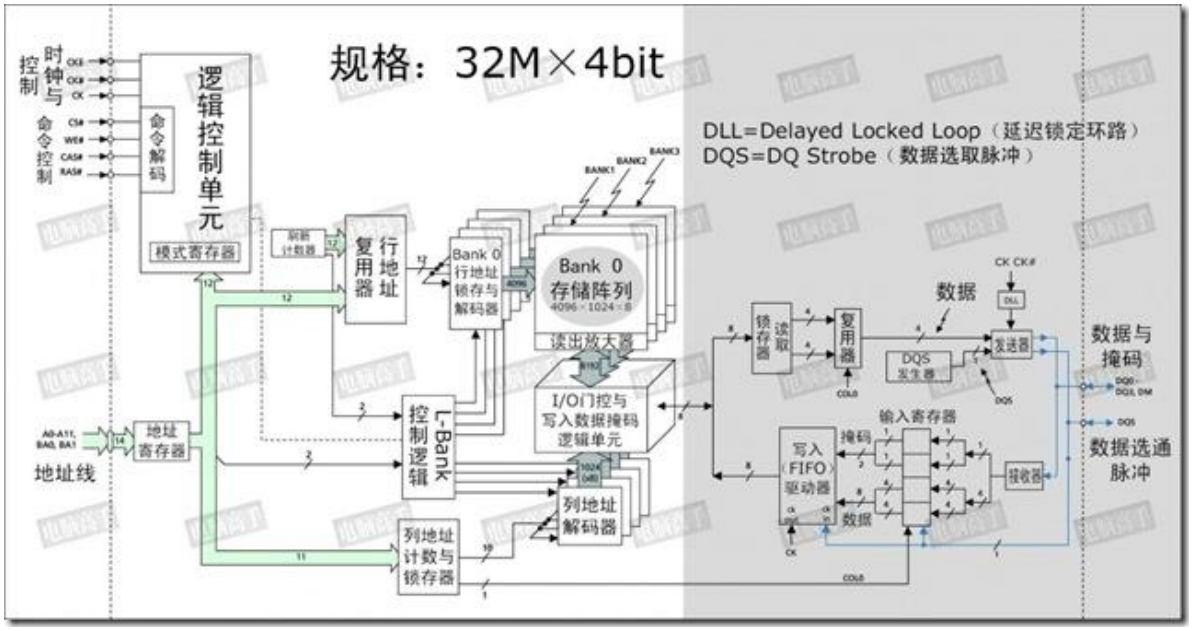
DDR SDRAM 全称为 Double Data Rate SDRAM，中文名为“双倍数据流 SDRAM”。DDR SDRAM 在原有的 SDRAM 的基础上改进而来。也正因为如此，DDR 能够凭借着转产成本优势来打败昔日的对手 RDRAM，成为当今的主流。本文只着重讲 DDR 的原理和 DDR SDRAM 相对于传统 SDRAM（又称 SDR SDRAM）的不同。

（一） DDR 的基本原理

有很多文章都在探讨 DDR 的原理，但似乎也不得要领，甚至还带出一些错误的观点。首先我们看看一张 DDR 正规的时序图。



从中可以发现它多了两个信号： CLK#与 DQS，CLK#与正常 CLK 时钟相位相反，形成差分时钟信号。而数据的传输在 CLK 与 CLK#的交叉点进行，可见在 CLK 的上升与下降沿（此时正好是 CLK#的上升沿）都有数据被触发，从而实现 DDR。在此，我们可以说通过差分信号达到了 DDR 的目的，甚至讲 CLK#帮助了第二个数据的触发，但这只是对表面现象的简单描述，从严格的定义上讲并不能这么说。之所以能实现 DDR，还要从其内部的改进说起。



DDR 内存芯片的内部结构图

这是一颗 128Mbit 的内存芯片，从图中可以看出来，白色区域内与 SDRAM 的结构基本相同，但请注意灰色区域，这是与 SDRAM 的不同之处。首先就是内部的 L-Bank 规格。SDRAM 中 L-Bank 存储单元的容量与芯片位宽相同，但在 DDR SDRAM 中并不是这样，存储单元的容量是芯片位宽的一倍，所以在此不能再套用讲解 SDRAM 时 “芯片位宽=存储单元容量” 的公式了。也因此，真正的行、列地址数量也与同规格 SDRAM 不一样了。

以本芯片为例，在读取时，L-Bank 在内部时钟信号的触发下一次传送 8bit 的数据给读取锁存器，再分成两路 4bit 数据传给复用器，由后者将它们合并为一路 4bit 数据流，然后由发送器在 DQS 的控制下在外部时钟上升与下降沿分两次传输 4bit 的数据给北桥。这样，如果时钟频率为 100MHz，那么在 I/O 端口处，由于是上下沿触发，那么就是传输频率就是 200MHz。

现在大家基本明白 DDR SDRAM 的工作原理了吧，这种内部存储单元容量（也可以称为芯片内部总线位宽）=2×芯片位宽（也可称为芯片 I/O 总线位宽）的设计，就是所谓的两位预取（2-bit Prefetch），有的公司则贴切的称之为 2-n Prefetch（n 代表芯片位宽）。

（二） DDR SDRAM 与 SDRAM 的不同

DDR SDRAM 与 SDRAM 的不同主要体现在以下几个方面。

DDR SDRAM 与 SDRAM 的主要不同对比表

内存类型 / 比较项	SDRAM	DDR SDRAM
命令		
全页式突发传输	支持	不支持
时钟信号挂起	支持	不支持
读出数据屏蔽	支持	不支持
写入数据屏蔽	支持	支持
功能		
时钟	单一时钟	差分时钟
预取设计	1-bit	2-bit
数据传输率	1/时钟周期	2/时钟周期
CAS 潜伏期	2、3	1.5、2、2.5、3
写入潜伏期	0	可变
突发长度	1、2、4、8、全页	2、4、8
延迟锁定回路	可选	工作时必需
自动刷新间隔周期	固定	弹性设计（最大值与 SDRAM 的固定值相同）
数据选取脉冲	无	必需
封装与电气特性		
封装类型（≥64Mbit）	TSOP-II 54pin（400mil）	TSOP-II 66pin（400mil） CSP 60pin
工作电压	3.3V（LVTTL 接口）	2.5V（SSTL_2 接口）
模组	168pin DIMM	184pin DIMM

注：LVTTL=Low Voltage Transistor-Transistor Logic（低电压晶体管-晶体管逻辑电路）、SSTL=Stub Series Terminated Logic（短线串联终止逻辑电路）

提示：TSOP-II 与 CSP
TSOP-II：是指小外形薄型封装（Thin Small Outline Package）的第二种方式，引脚在封装的长边两侧，TSOP-I 的引脚则在短边的两侧。 CSP：是指芯片尺寸封装（Chip Scale Package），其封装尺寸与芯片核心尺寸基本相同，所以称 CSP，其内核面积与封装面积的比例约为 1:1.1，凡是符合这一标准的封装都可称之为 CSP。

DDR SDRAM 与 SDRAM 一样，在开机时也要进行 MRS，不过由于操作功能的增多，DDR SDRAM 在 MRS 之前还多了一 EMRS 阶段（Extended Mode Register Set，扩展模式寄存器设置），这个扩展模式寄存器控制着 DLL 的有效/禁止、输出驱动强度、QFC 有效/无效等。

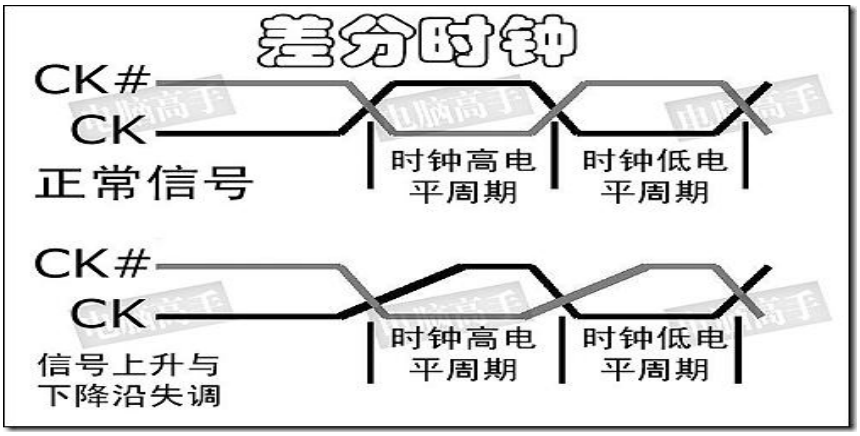
提示与误区：QFC 的含义与作用
QFC 是指 FET Switch Controller（FET 开关控制），低电平有效。用于借助外部 FET（场效应管）开关控制模组上芯片间的相互隔离，没有读写操作时进入隔离状态，以确保芯片间不受相互干扰。QFC 是一个特选功能，厂商都是在接到芯片买家的指定要求后，才在芯片中加入这一功能，并且需要在模装配时进行相关的设计改动（如增加 VddQ 的上拉电阻），所以 DIY 市场上几乎很少见到支持这一功能的 DDR 内存。而在 2002 年 5 月，JEDEC 最新发布的 DDR 规范中，已经不在有 QFC 的定义，而且即使有 FET 开关也将由北桥控制（此时是用来隔离模组的），因此 QFC 已经成为历史。可是，在很多“深入”性介绍中，都将 QFC 认为是一个必要的过程，这显然是错的。

由于 EMRS 与 MRS 的操作方法与 SDRAM 的 MRS 大同小异，在此就不再列出具体的模式表了，有兴趣的话可查看相关的 DDR 内存资料。下面我们就着重说说 DDR SDRAM 的新设计与新功能。

误区：CSP 与 uBGA、WBGA、TinyBGA、FBGA 等是不同的封装技术
实际上，CSP 只是一种封装标准/类型，不涉及具体的封装技术，只要达到它的尺寸标准都可称之为 CSP 封装。近几年出现的 uBGA、WBGA、TinyBGA、FBGA 小型芯片封装技术则是 CSP 的具体表现形式（其实都是 BGA 封装技术的一种），由此可以看出 CSP 并没有固定的封装技术，它自己更不是一个封装技术，只要厂商愿意或有实力，可以开发出更多的符合 CSP 标准的封装技术。

1、 差分时钟

差分时钟（参见上文“DDR SDRAM 读操作时序图”）是 DDR 的一个必要设计，但 CK#的作用，并不能理解为第二个触发时钟（你可以在讲述 DDR 原理时简单地这么比喻），而是起到触发时钟校准的作用。由于数据是在 CK 的上下沿触发，造成传输周期缩短了一半，因此必须要保证传输周期的稳定以确保数据的正确传输，这就要求 CK 的上下沿间距要有精确的控制。但因为温度、电阻性能的改变等原因，CK 上下沿间距可能发生变化，此时与其反相的 CK#就起到纠正的作用（CK 上升快下降慢，CK# 则是上升慢下降快）。而由于上下沿触发的原因，也使 CL=1.5 和 2.5 成为可能，并容易实现。与 CK 反相的 CK#保证了触发时机的准确性。



2、 数据选取脉冲（DQS）

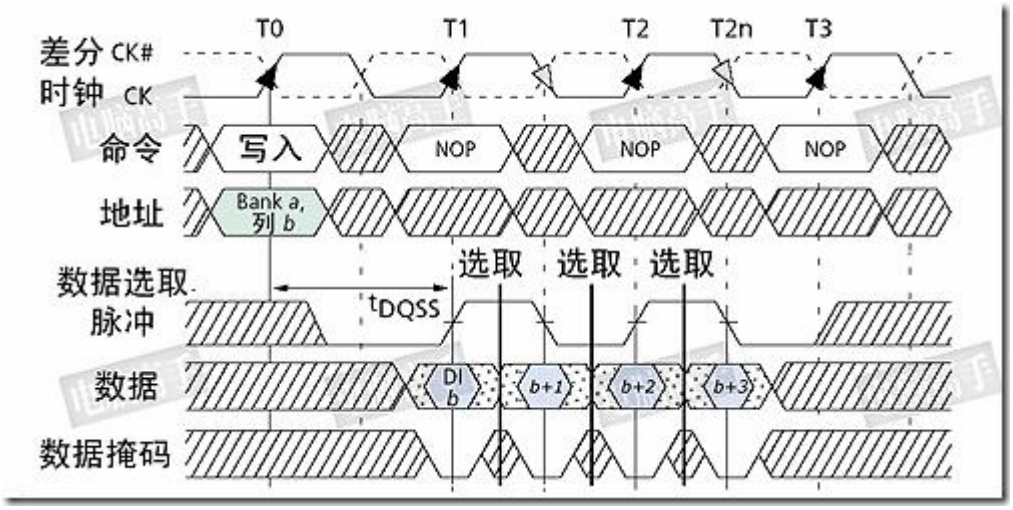
总结 DQS：它是双向信号；读内存时，由内存产生，DQS 的沿和数据的沿对齐；写入内存时，由外部产生，DQS 的中间对应数据的沿，即此时 DQS 的沿对应数据最稳定的中间时刻。

DQS 是 DDR SDRAM 中的重要功能，它的功能主要用来在一个时钟周期内准确的区分出每个传输周期，并便于接收方准确接收数据。每一颗芯片都有一个 DQS 信号线，它是双向的，在写入时它用来传送由北桥发来的 DQS 信号，读取时，则由芯片生成 DQS 向北桥发送。完全可以说，它就是数据的同步信号。

在读取时，DQS 与数据信号同时生成（也是在 CK 与 CK#的交叉点）。而 DDR 内存中的 CL 也就是从 CAS 发出到 DQS 生成的间隔，数据真正出现在数据 I/O 总线上相对于 DQS 触发的时间间隔被称为 tAC。注意，这与 SDRAM 中的 tAC 的不同。实际上，DQS 生成时，芯片内部的预取已经完毕了，tAC 是指上文结构图中灰色部分的数据输出时间，由于预取的原因，实际的数据传出可能会提前于 DQS 发生（数据提前于 DQS 传出）。由于是并行传输，DDR 内存对 tAC 也有一定的要求，对于 DDR266，tAC 的允许范围是±0.75ns，对于 DDR333，则是±0.7ns，有关它们的时序图示见前文，其中 CL 里包含了一段 DQS 的导入期。

前文已经说了 DQS 是为了保证接收方的选择数据， DQS 在读取时与数据同步传输，那么接收时也是以 DQS 的上下沿为准吗？不，如果以 DQS 的上下沿区分数据周期的危险很大。由于芯片有预取的操作，所以输出时的同步很难控制，只能限制在一定的时间范围内，数据在各 I/O 端口的出现时间可能有快有慢，会与 DQS 有一定的间隔，这也就是为什么要有一个 tAC 规定的原因。而在接收方，一切必须保证同步接收，不能有 tAC 之类的偏差。这样在写入时，芯片不再自己生成 DQS，而以发送方传来的 DQS 为基准，并相应延后一定的时间，在 DQS 的中部为数据周期的选取分割点（在读取时分割点就是上下沿），从这里分隔开两个传输周期。这样做的好处是，由于各

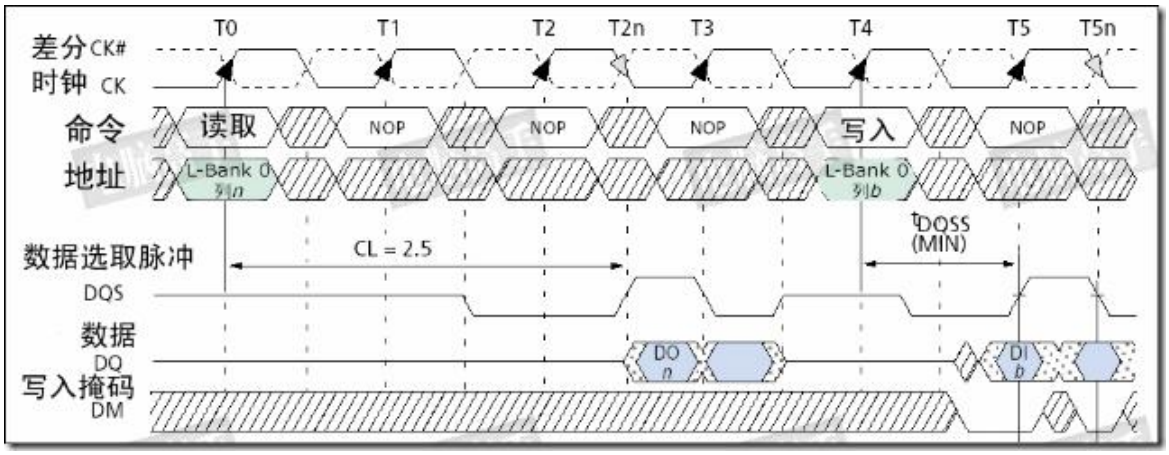
数据信号都会有一个逻辑电平保持周期，即使发送时不同步，在 DQS 上下沿时都处于保持周期中，此时数据接收触发的准确性无疑是最高的。在写入时，以 DQS 的高/低电平期中部为数据周期分割点，而不是上/下沿，但数据的接收触发仍为 DQS 的上/下沿。



3、 写入延迟

在上面的 DQS 写入时序图中，可以发现写入延迟已经不是 0 了，在发出写入命令后，DQS 与写入数据要等一段时间才会送达。这个周期被称为 DQS 相对于写入命令的延迟时间（tDQSS，WRITE Command to the first corresponding rising edge of DQS），对于这个时间大家应该很好理解了。

为什么要有这样的延迟设计呢？原因也在于同步，毕竟一个时钟周期两次传送，需要很高的控制精度，它必须要等接收方做好充分的准备才行。tDQSS 是 DDR 内存写入操作的一个重要参数，太短的话恐怕接受有误，太长则会造成总线空闲。tDQSS 最短不能小于 0.75 个时钟周期，最长不能超过 1.25 个时钟周期。有人可能会说，如果这样，DQS 不就与芯片内的时钟不同步了吗？对，正常情况下，tDQSS 是一个时钟周期，但写入时接受方的时钟只用来控制命令信号的同步，而数据的接受则完全依靠 DQS 进行同步，所以 DQS 与时钟不同步也无所谓。不过，tDQSS 产生了一个不利影响——读后写操作延迟的增加，如果 CL=2.5，还要在 tDQSS 基础上加入半个时钟周期，因为命令都要在 CK 的上升沿发出。



当 CL=2.5 时，读后写的延迟将为 tDQSS+0.5 个时钟周期（图中 BL=2）

另外，DDR 内存的数据真正写入由于要经过更多步骤的处理，所以写回时间（tWR）也明显延长，一般在 3 个时钟周期左右，而在 DDR-Ⅱ规范中更是将 tWR 列为模式寄存器的一项，可见它的重要性。

误区：DDR SDRAM 各种延迟与潜伏期的单位时间减半
一些文章认为，DDR 使数据传输率加倍，那么与之相关的延迟与潜伏期的单位时间也减半，比如 DDR-266 内存，tRCD、CL、tRP 的单位周期为 3.75ns，比 PC133 内存少了一半。这是严重的概念性错误，从我们列举的时序图中可以看出，tRCD、CL、tRP 是以时钟信号来界定的，不能用传输周期去表示，否则 CL=2.5 的参考基准是什么？对于 DDR-266，时钟频率是 133MHz，时钟周期仍是 7.5，和 PC133 的标准一样。那些文章的作者显然是将时钟周期与传输周期弄混了

4、 突发长度与写入掩码

在 DDR SDRAM 中，突发长度只有 2、4、8 三种选择，没有了随机存取的操作（突发长度为 1）和全页式突发。这是为什么呢？因为 L-Bank 一次就存取两倍于芯片位宽的数据，所以芯片至少也要进行两次传输才可以，否则内部多出来的数据怎么处理？而全页式突发事实证明在 PC 内存中是很难用得上的，所以被取消也不希奇。

但是，突发长度的定义也与 SDRAM 的不一样了（见本章节最前那幅 DDR 简示图），它不再指所连续寻址的存储单元数量，而是指连续的传输周期数，每次是一个芯片位宽的数据。对于突发写入，如果其中有不想存入的数据，仍可以运用 DM 信号进行屏蔽。DM 信号和数据信号同时发出，接收方在 DQS 的上升与下降沿来判断 DM 的状态，如果 DM 为高电平，那么之前从 DQS 中部选取的数据就被屏蔽了。有人可能会觉得，DM 是输入信号，意味着芯片不能发出 DM 信号给

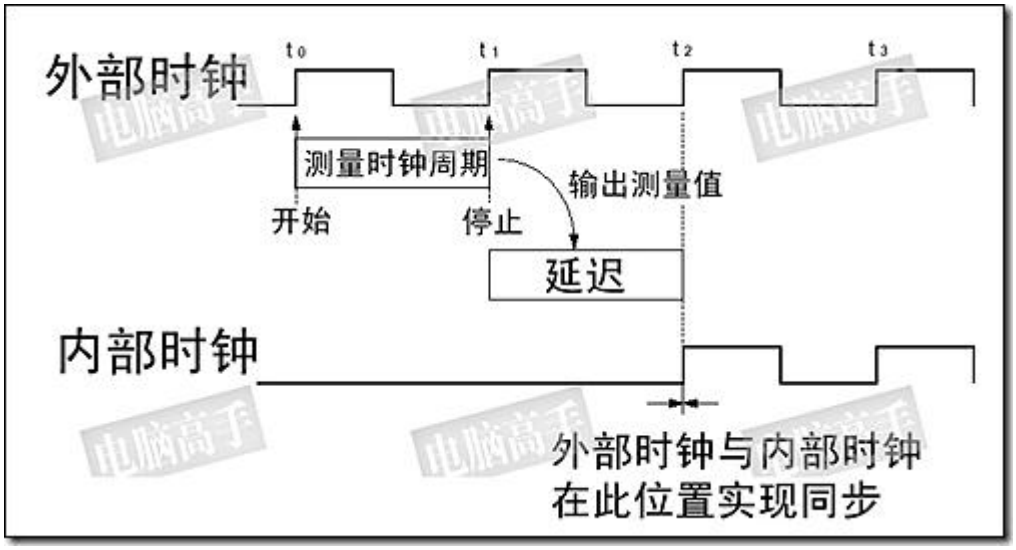
北桥作为屏蔽读取数据的参考。其实，该读哪个数据也是由北桥芯片决定的，所以芯片也无需参与北桥的工作，哪个数据是有用的就留给北桥自己去选吧。

5、 延迟锁定回路（DLL）

DDR SDRAM 对时钟的精确性有着很高的要求，而 DDR SDRAM 有两个时钟，一个是外部的总线时钟，一个是内部的工作时钟，在理论上 DDR SDRAM 这两个时钟应该是同步的，但由于种种原因，如温度、电压波动而产生延迟使两者很难同步，更何况时钟频率本身也有不稳定的情况（SDRAM 也内部时钟，不过因为它的工作/传输频率较低，所以内外同步问题并不突出）。DDR SDRAM 的 tAC 就是因为内部时钟与外部时钟有偏差而引起的，它很可能造成因数据不同步而产生错误的恶果。实际上，不同步就是一种正/负延迟，如果延迟不可避免，那么若是设定一个延迟值，如一个时钟周期，那么内外时钟的上升与下降沿还是同步的。鉴于外部时钟周期也不会绝对统一，所以需要根据外部时钟动态修正内部时钟的延迟来实现与外部时钟的同步，这就是 DLL 的任务。

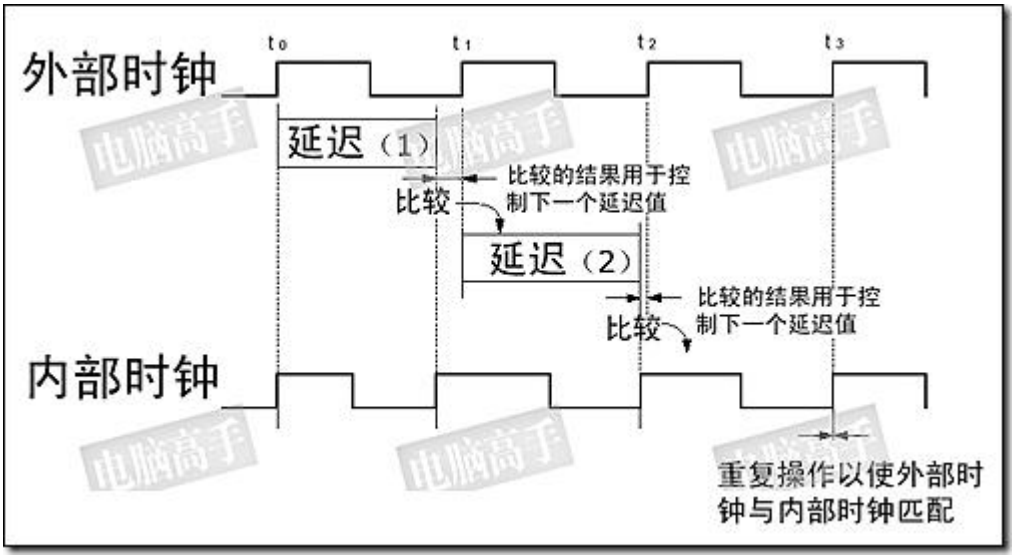
DLL 不同于主板上的 PLL，它不涉及频率与电压转换，而是生成一个延迟量给内部时钟。目前 DLL 有两种实现方法，一个是时钟频率测量法（CFM，Clock Frequency Measurement），一个是时钟比较法（CC，Clock Comparator）。

CFM 是测量外部时钟的频率周期，然后以此周期为延迟值控制内部时钟，这样内外时钟正好就相差了一个时钟周期，从而实现同步。DLL 就这样反复测量反复控制延迟值，使内部时钟与外部时钟保持同步。



CFM 式 DLL 工作示意图

CC 的方法则是比较内外部时钟的长短，如果内部时钟周期短了，就将所少的延迟加到下一个内部时钟周期里，然后再与外部时钟做比较，若是内部时钟周期长了，就将多出的延迟从下一个内部时钟中刨除，如此往复，最终使内外时钟同步。



CC 式 DLL 工作示意图

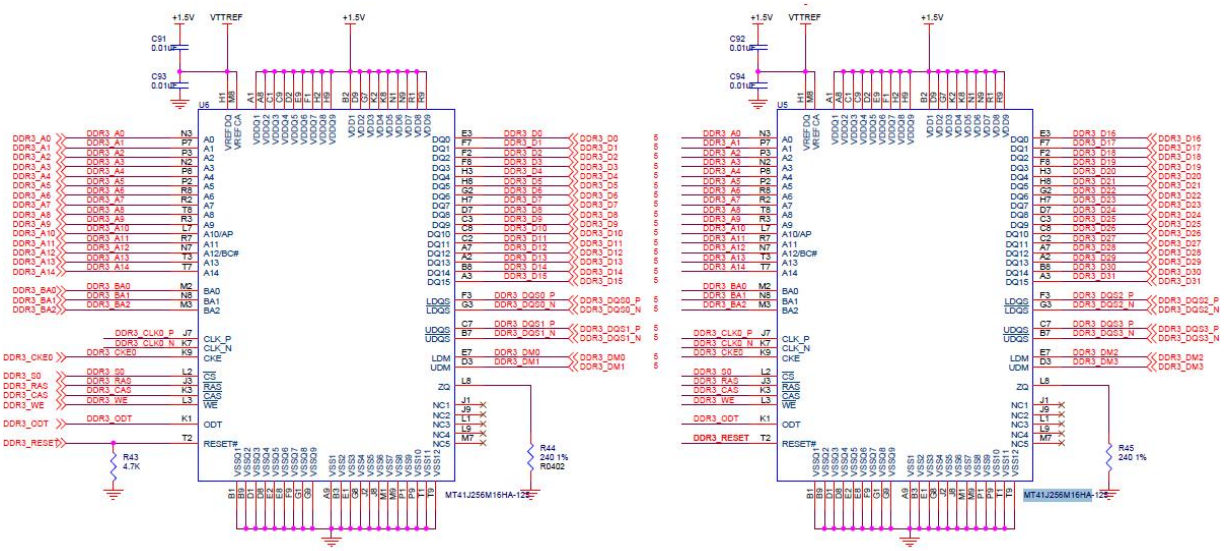
CFM 与 CC 各有优缺点，CFM 的校正速度快，仅用两个时钟周期，但容易受到噪音干扰，并且如果测量失误，则内部的延迟就永远错下去了。CC 的优点则是更稳定可靠，如果比较失败，延迟受影响的只是一个数据（而且不会太严重），不会涉及到后面的延迟修正，但它的修正时间要比 CFM 长。DLL 功能在 DDR SDRAM 中可以被禁止，但仅限于除错与评估操作，正常工作状态是自动有效的。

误区：DLL 是实现 DDR 传输的关键
“DDR 内存通过内部的 DLL 延时锁相环提供精确的时钟定位，这样就可以在每个时钟周期的上升沿和下降沿传输数据”。“DDR 使用了 DLL 来提供一个数据滤波信号 DQS 来选取数据”。 以上是目前较为流行的对 DDR 工作原理的两种解释，现在大家能看出错误所在吗？两者都把 DLL 的功能夸大了，DLL 只是一个重要的辅助校准设计，与能否实现双沿触发没有关系，它只是保证数据的输出尽量与外部时钟同步。后者则是概念性错误，从 DDR 内存结构图可看出，DQS 不是 DLL 生成的，只是由 DLL 保证其与外部时钟的同步，DQS 由单独的 DQS 发生器生成。

3 硬件介绍

开发板上使用了 2 个 Micron DDR3 的颗粒 MT41J256M16HA,每个 DDR 芯片的容量为 4Gb。两个 DDR3 芯片组合成 32 位的数据总线宽度和 FPGA 相连接。开发板板上对 DDR3 的地址线和控制线都做了端接电阻上拉到 VTT 电压, 保证信号的质量。在 PCB 的设计上, 完全遵照 XILINX 的 DDR3 设计规范, 严格保证等长设计和阻抗控制。在进行 DDR3 与 Artix-7 设计时，FPGA 的 DDR 管脚分配是要有所考虑的，而不能随意分配。如果用户自己实在不清楚怎么连接，那就请完全参考我们的原理图来设计，依样画葫芦总会的吧?

在 PCB 的设计上, 考虑高速信号的数据传输的可靠性, 走线上严格保证等长设计和阻抗控制。开发板 DDR 部分的原理图如下:

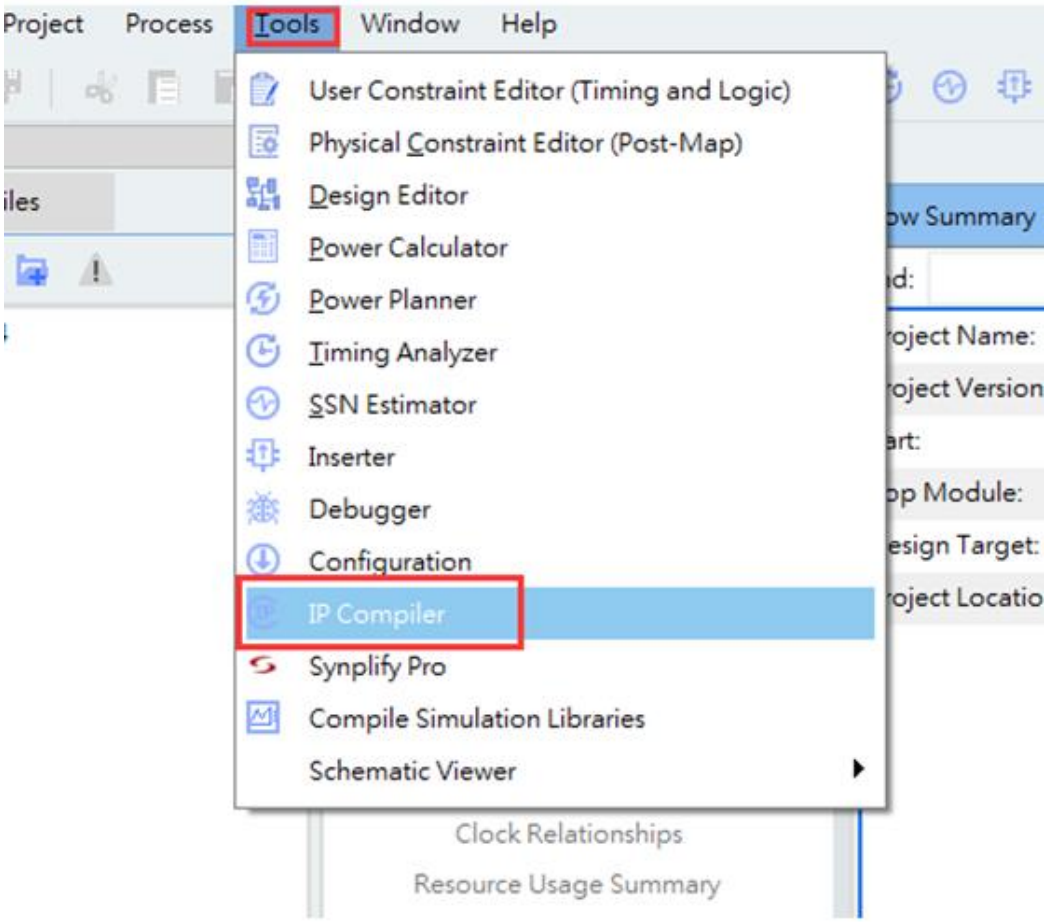


开发板 DDR3

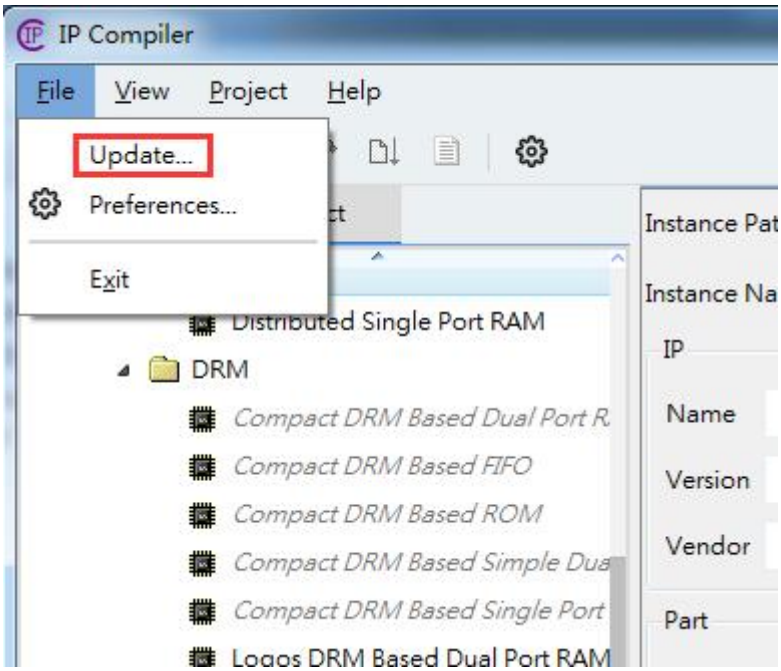
4 程序设计

4.1 添加 DDR 控制器

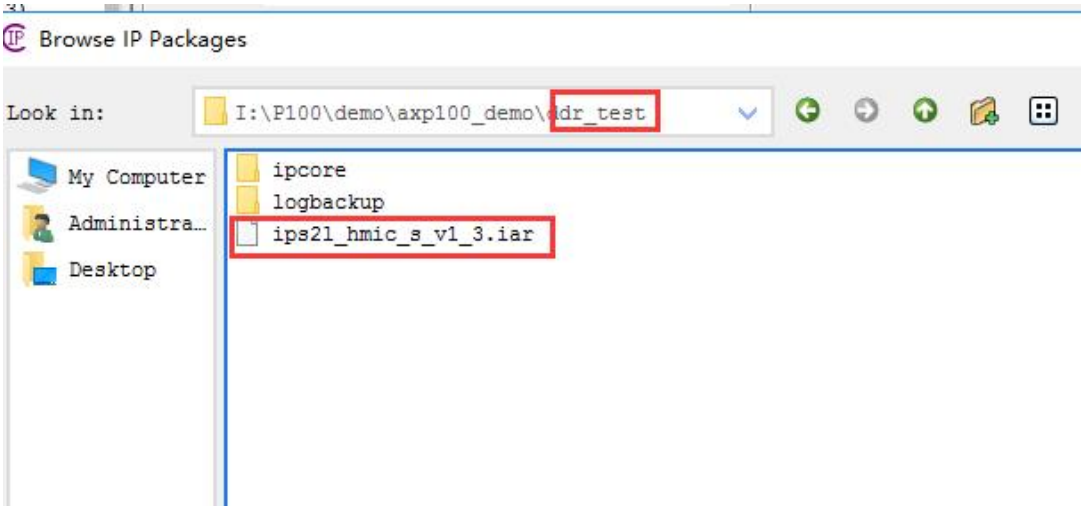
1. 首先在 PDS 环境里新建一个项目，取名为 ddr_test。点击菜单中的 Tools 下拉菜单下打开 IP Compiler。



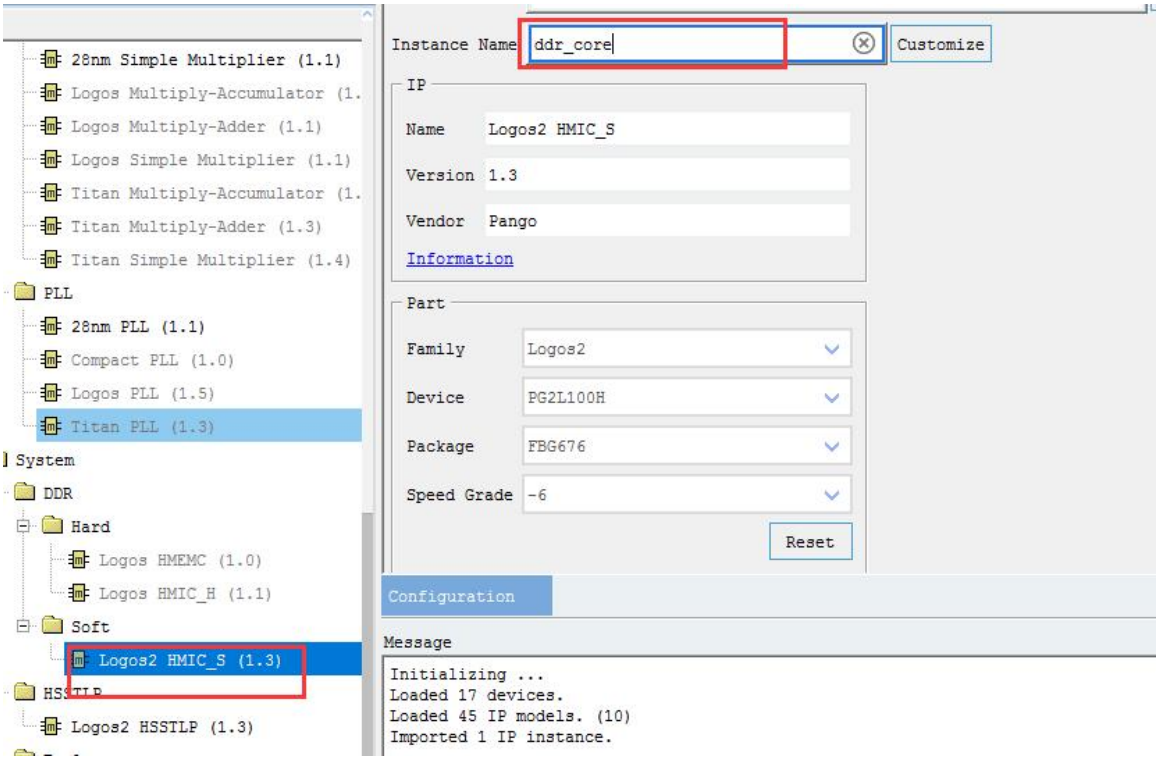
2. 在弹出的界面下选择菜单栏 File 下的 Update;



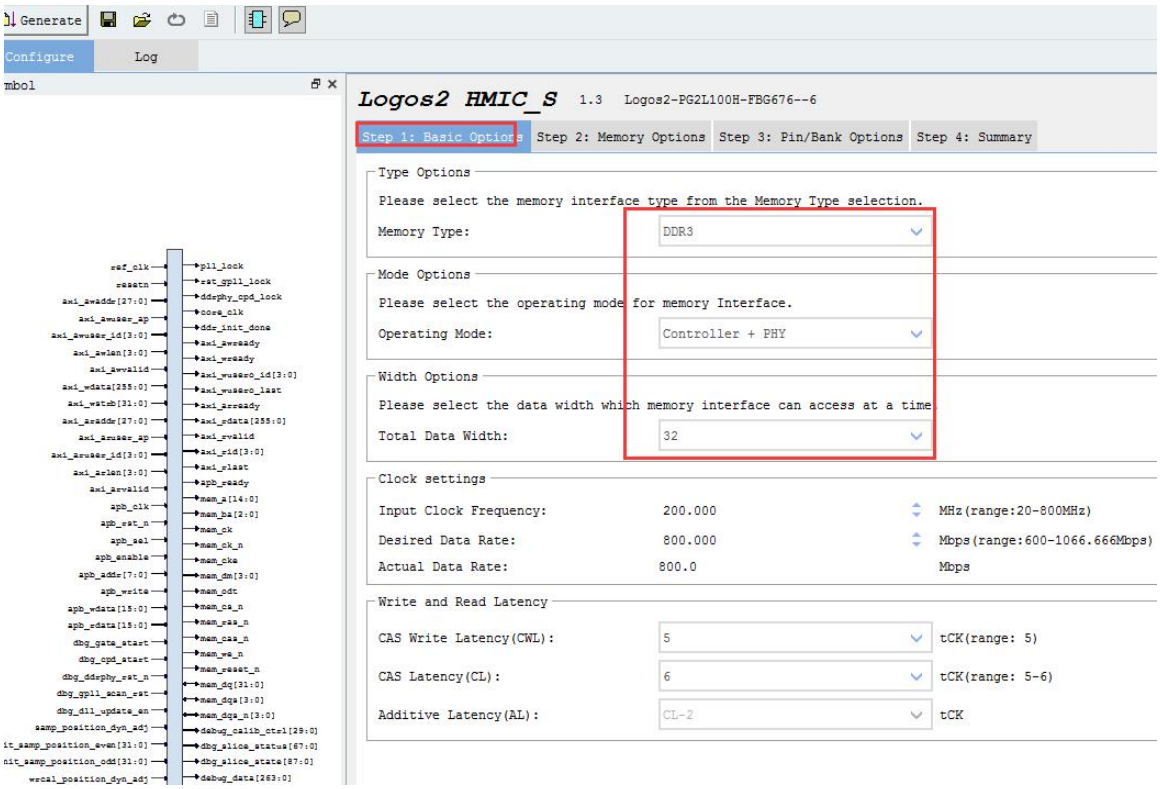
3. 点击弹出界面中的选择“+”，然后添加 DDR3 IP（ips2l_hmic_s_v1_3.iar），单击 Open 后再单击 Update，再把界面关闭即可。



4. 可以看到左侧已经添加了新的 IP “logos2 HMIC_S”，在右侧取名 ddr_core 后单击 Customize。

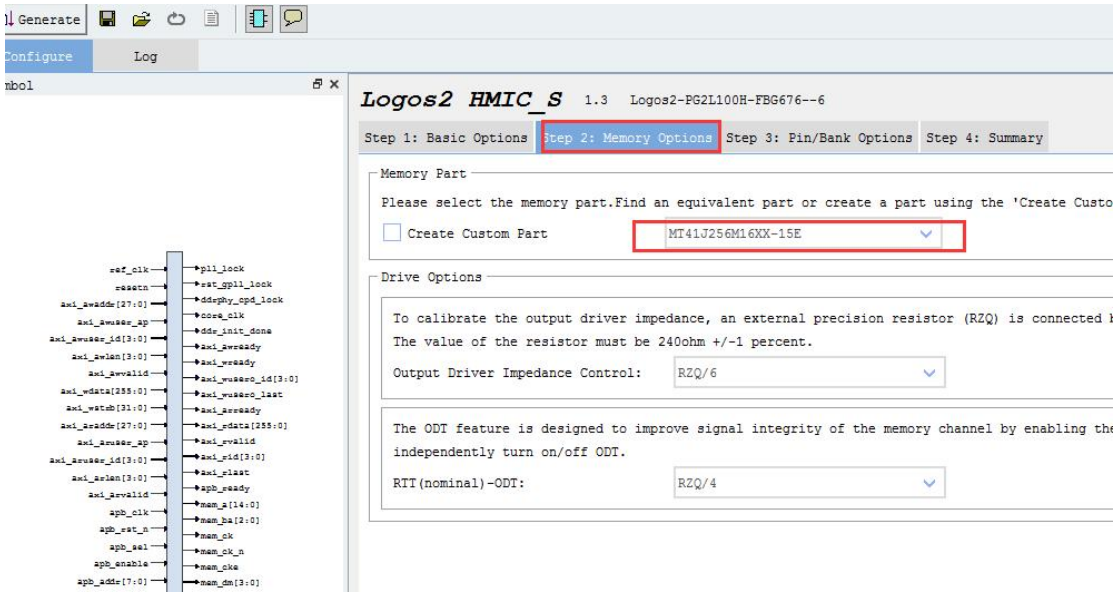


5. 在弹出的界面中 Step1:BasicOptions 中，设置如下：

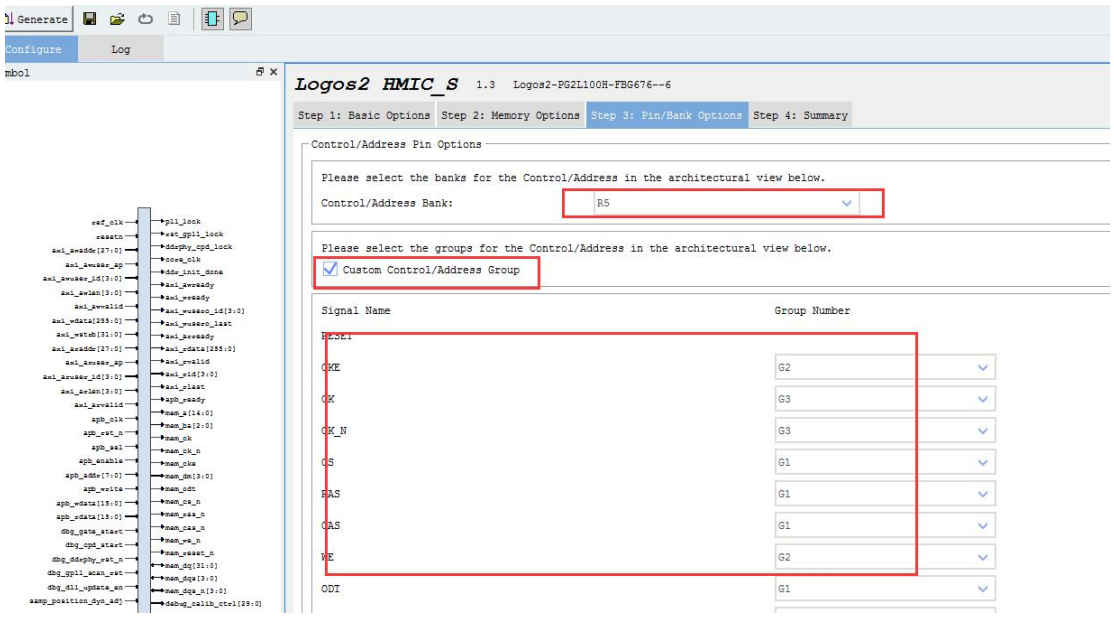


DDR3 设置

6. 在 Step2:Memory Options 中，核对器件的型号，其它默认；

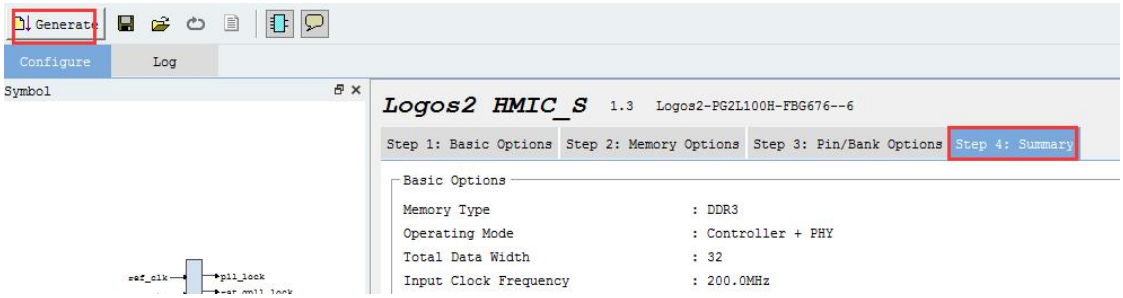


7. Step3:Interface Options 中，控制接口选择位于 BANK R5,信号对应的 FPGA 引脚也需在这进行相应设置；

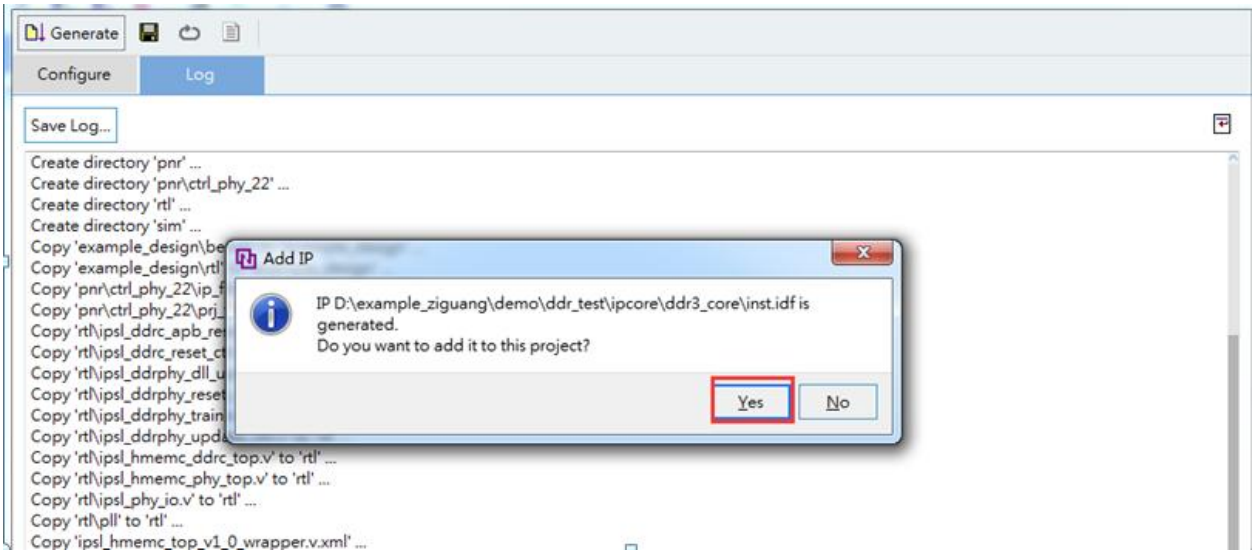


Signal Name	Group Number	Pin Number
RESET		J1
CKE	G2	U1
CK	G3	R7
CK_N	G3	R6
CS	G1	M2
RAS	G1	N2
CAS	G1	N3
WE	G2	P1
ODT	G1	N1
BA0	G1	M1
BA1	G2	P4
BA2	G2	N4
A0	G2	T2
A1	G3	R5
A2	G2	U2
A3	G1	L3
A4	G3	P6
A5	G1	L2
A6	G2	T4
A7	G1	K1
A8	G3	T5
A9	G1	K2
A10	G2	R1
A11	G3	U5
A12	G2	R2
A13	G2	T3
A14	G3	U6

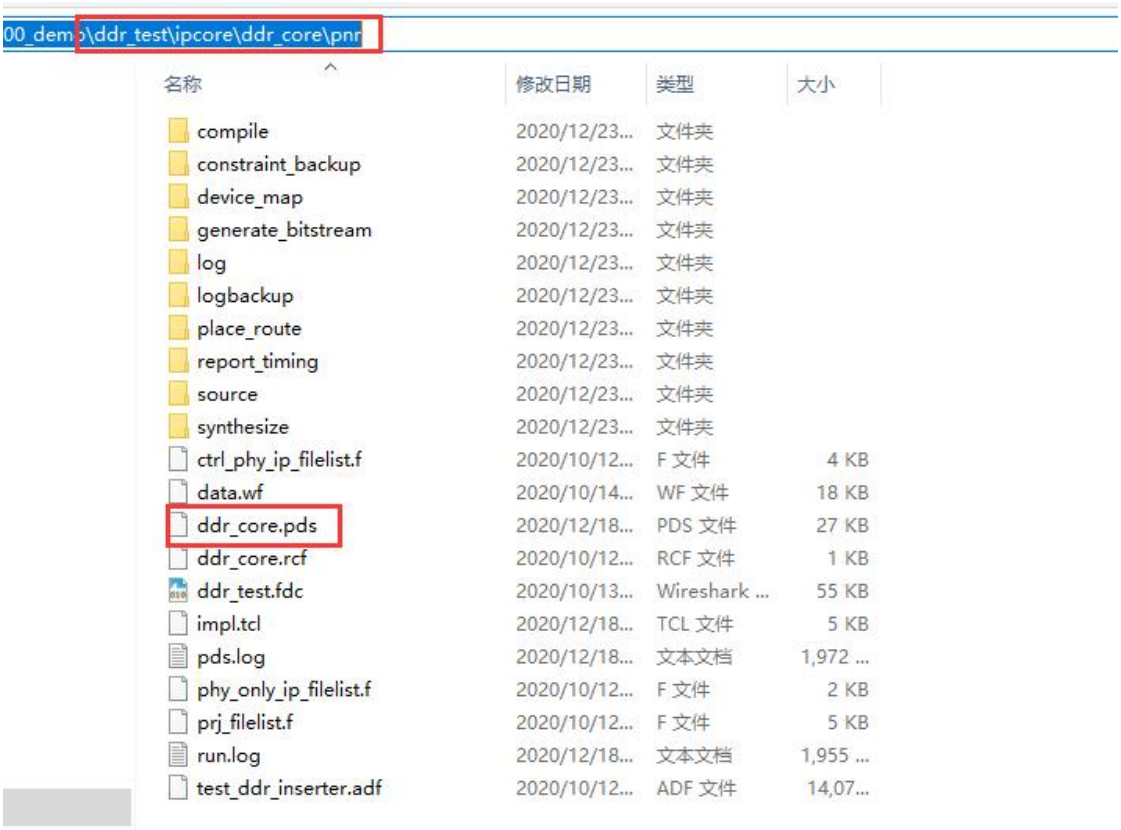
8. Step4:Interface summary 中保持默认，并单击 Generate 开始。



9. 然后在弹出的提示框中选择 Yes，完成后关闭窗口；



10.完成后关闭这个工程，双击打开刚才用 IP Compiler 创建 DDR3 的 example 的工程,位于刚才工程的如下位置；



11.接下来对 DDR3 进行管脚约束，分配完成后进行综合布线后产生 bit 文件。

4.2 测试程序说明

功能：HMIC_S IP 开始执行初始化， 待初始化完成（ddrc_init_done 拉起），test_main_ctrl 模块控制 test_wr_ctrl 模块产生写指令和写数据对 DDR 颗粒的数据初始化，写满后， test_main_ctrl 开始进行随机读写， test_rd_ctrl 对回读的数据进行检验，判断数据是否出错，出错核心板上的 LED1 灯亮起。

本工程目录结构主要文件如下所示：

test_ddr

test_main_ctrl

test_wr_ctrl

test_rd_ctrl

ddr_core

（1）test_ddr

顶层模块，在该模块中调用了 test_main_ctrl、test_wr_ctrl、test_rd_ctrl、ddr3_core。

（2） test_main_ctrl

该模块负责将用户指令和模式转化为内部控制信号，控制 test_wr_ctrl 模块和 test_rd_ctrl 模块的运行状态。

（3） test_wr_ctrl

该模块根据 test_main_ctrl 发出的控制信号将由 PRBS 产生的数据、地址按照一定的协议时序发送到 ddr 总线上。

（4） test_rd_ctrl

该模块实现存储数据的读出，并进行校验判断。

（5） ddr3_core

该模块为 DDR3 控制器模块。

5 实验现象

把程序生成.sbit 文件下载到 FPGA 中，检查核心板上的 LED1 是否点亮， 如果点亮，则测试的数据有误。如果一直熄灭，说明 DDR3 的读写数据正确，同时底板上的 LED1 闪烁。