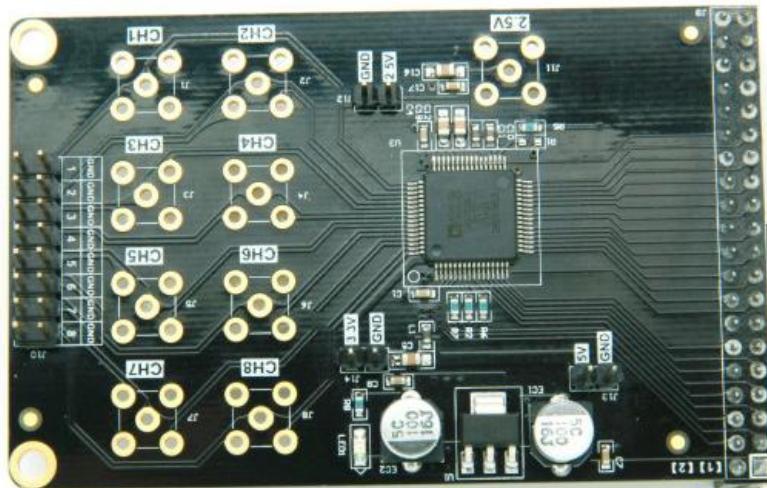


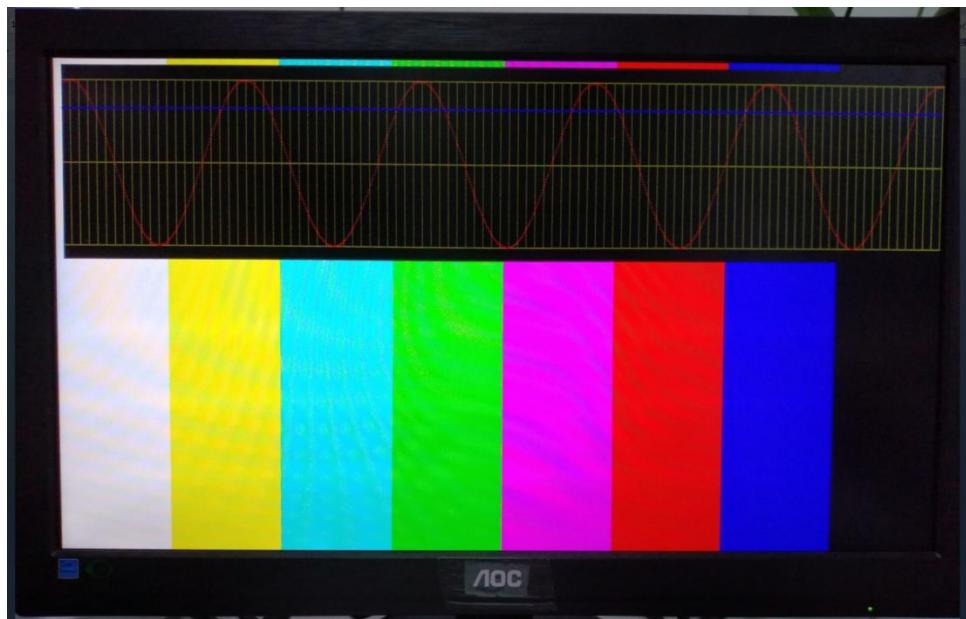
## AD7606 波形显示

### 1 实验简介

本实验练习使用 ADC，实验中使用的 ADC 模块型号为 AN706，最大采样率 200Khz，精度为 16 位。实验中把 AN706 的 2 路输入以波形方式在 HDMI/VGA 上显示出来，我们可以用更加直观的方式观察波形，是一个数字示波器雏形。



8 路 200K 采样 16 位 ADC 模块



实验预期结果

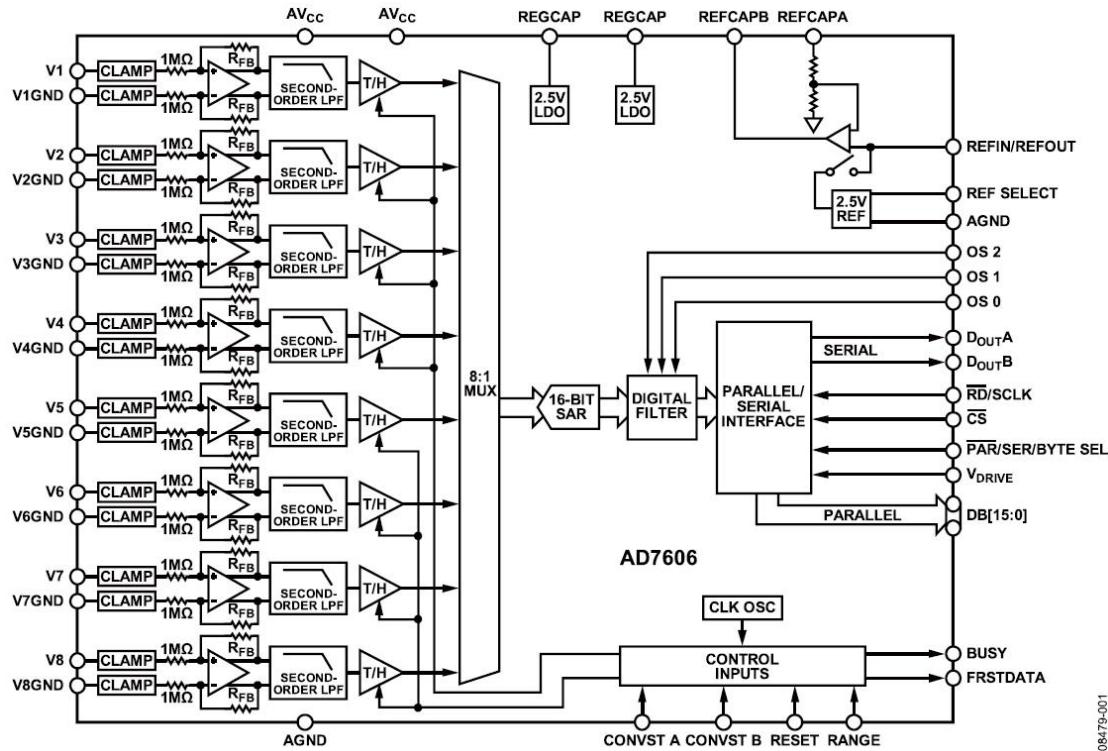
## 2 实验原理

AD7606 是一款集成式 8 通道同步采样数据采集系统，片内集成输入放大器、过压保护电路、二阶模拟抗混叠滤波器、模拟多路复用器、16 位 200 kSPS SAR ADC 和一个数字滤波器, 2.5 V 基准电压源、基准电压缓冲以及高速串行和并行接口。

AD7606 采用+5V 单电源供电, 可以处理 $\pm 10\text{V}$  和 $\pm 5\text{V}$  真双极性输入信号, 同时所有通道均以高达 200kSPS 的吞吐速率采样。输入钳位保护电路可以耐受最高达 $\pm 16.5\text{V}$  的电压。

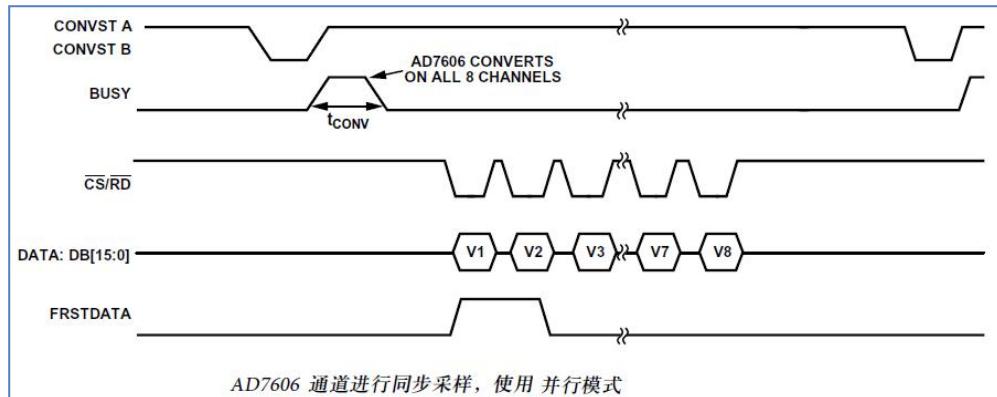
无论以何种采样频率工作, AD7606 的模拟输入阻抗均为 1M 欧姆。它采用单电源工作方式, 具有片内滤波和高输入阻抗, 因此无需驱动运算放大器和外部双极性电源。

AD7606 抗混叠滤波器的 3dB 截至频率为 22kHz; 当采样速率为 200kSPS 时, 它具有 40dB 抗混叠抑制特性。灵活的数字滤波器采用引脚驱动, 可以改善信噪比(SNR), 并降低 3dB 带宽。



08479-001

## 2.1 AD7606 时序



AD7606 可以对所有 8 路的模拟输入通道进行同步采样。当两个 CONVST 引脚(CONVSTA 和 CONVSTB)连在一起时，所有通道同步采样。此共用 CONVST 信号的上升沿启动对所有模拟输入通道的同步采样(V1 至 V8)。

AD7606 内置一个片内振荡器用于转换。所有 ADC 通道的转换时间为 tCONV。BUSY 信号告知用户正在进行转换，因此当施加 CONVST 上升沿时，BUSY 变为逻辑高电平，在整个转换过程结束时变成低电平。BUSY 信号下降沿用来使所有八个采样保持放大器返回跟踪模式。BUSY 下降沿还表示，现在可以从并行总线 DB[15:0]读取 8 个通道的数据。

## 2.2 AD7606 配置

在 AN706 8 通道的 AD 模块硬件电路设计中，我们对 AD7606 的 3 个配置 Pin 脚通过加上拉或下拉电阻来设置 AD7606 的工作模式。

AD7606 这款芯片支持外部基准电压输入或内部基准电压。如果使用外部基准电压，芯片的 REFIN/REFOUT 需要外接一个 2.5V 的基准源。如果使用内部的基准电压。REFIN/REFOUT 引脚为 2.5V 的内部基准电压输出。REF SELECT 引脚用于选择内部基准电压或外部基准电压。在本模块中，因为考虑到 AD7606 的内部基准电压的精度也非常高（2.49V~2.505V），所以电路设计选择使用了内部的基准电压。

Pin 脚名	设置电平	说明
REF SELECT	高电平	使用内部的基准电压 2.5V

AD7606 的 AD 转换数据采集可以采用并行模式或者串行模式，用户可以通过设置 PAR/SER/BYTE SEL 引脚电平来设置通信的模式。我们在设计的时候，选择并行模式读取 AD7606 的 AD 数据。

Pin 脚名	设置电平	说明
PAR/SER/BYTE SEL	低电平	选择并行接口

AD7606 的 AD 模拟信号的输入范围可以设置为  $\pm 5V$  或者是  $\pm 10V$ ，当设置  $\pm 5V$  输入范围时， $1LSB=152.58\mu V$ ；当设置  $\pm 10V$  输入范围时， $1LSB=305.175\mu V$ 。用户可以通过设置 RANGE 引脚电平来设置模拟输入电压的范围。我们在设计的时候，选择  $\pm 5V$  的模拟电压输入范围。

Pin 脚名	设置电平	说明

RANGE	低电平	模拟信号输入范围选择：±5V
-------	-----	----------------

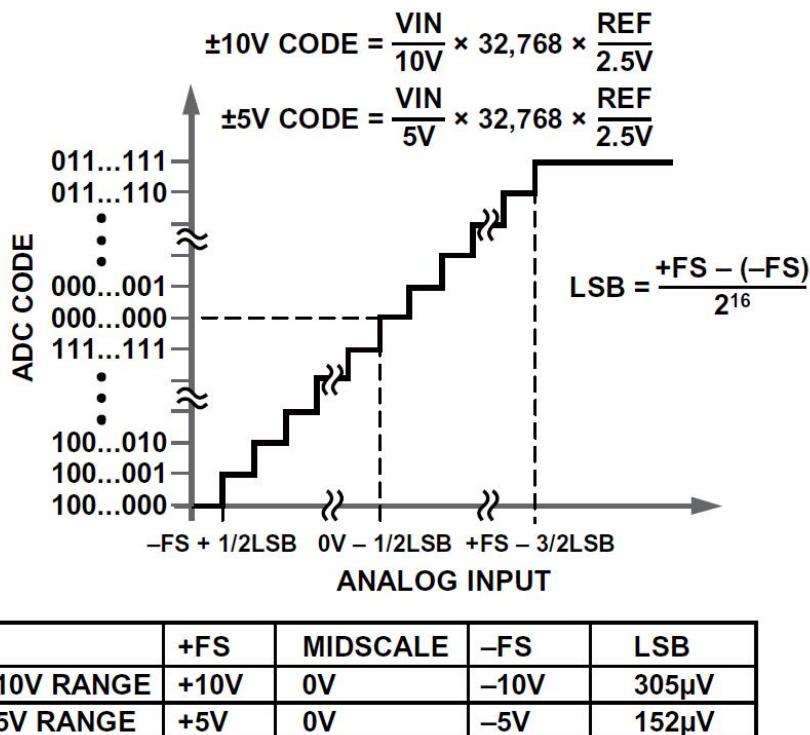
AD7606 内置一个可选的数字一阶 sinc 滤波器，在使用较低吞吐率或需要更高信噪比的应用中，应使用滤波器。数字滤波器的过采样倍率由过采样引脚 OS[2:0]控制。下表提供了用来选择不同过采样倍率的过采样位解码。

表9. 过采样位解码						
OS[2:0]	过采样倍率	5 V 范围 SNR(dB)	10 V 范围 SNR(dB)	5 V 范围 3 dB 带宽 (kHz)	10 V 范围 3 dB 带宽 (kHz)	最大吞吐量 CONVST 频率(kHz)
000	No OS	89	90	15	22	200
001	2	91.2	92	15	22	100
010	4	92.6	93.6	13.7	18.5	50
011	8	94.2	95	10.3	11.9	25
100	16	95.5	96	6	6	12.5
101	32	96.4	96.7	3	3	6.25
110	64	96.9	97	1.5	1.5	3.125
111	无效					

在 AN706 模块的硬件设计中，OS[2:0] 已经引到外部的接口中，FPGA 或 CPU 可以通过控制 OS[2:0] 的管脚电平来选择是否使用滤波器，以达到更高的测量精度。

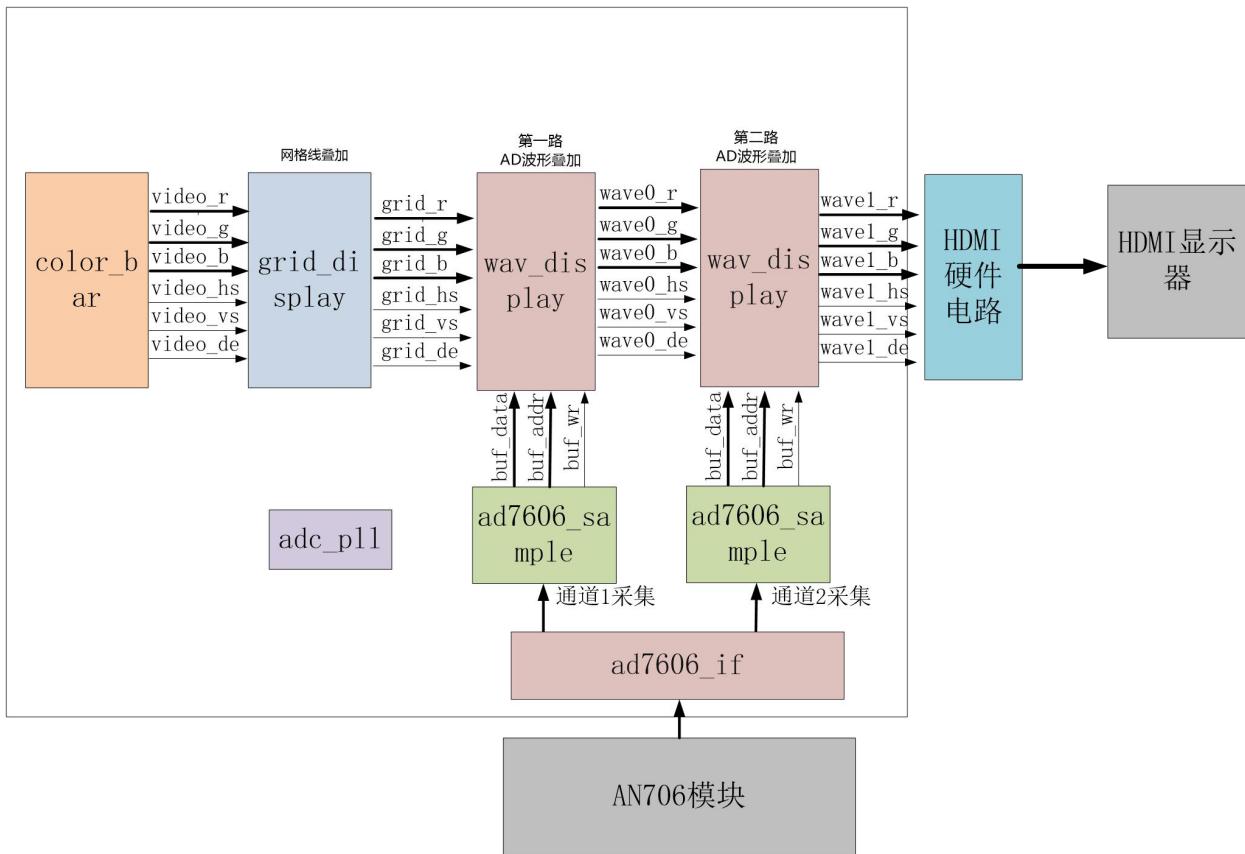
## 2.3 AD7606 AD 转换

AD7606 的输出编码方式为二进制补码。所设计的码转换在连续 LSB 整数的中间(既 1/2LSB 和 3/2LSB)进行。AD7606 的 LSB 大小为 FSR/65536。AD7606 的理想传递特性如下图所示：



### 3 程序设计

本实验程序设计跟 AD9226 波形显示实验基本类似，在彩条上叠加网格线和波形，整个项目的框图如下图所示：



ad7606\_if 模块为 AN706 的接口模块，完成 AD706 输入的 8 路 AD 的数据采集，按照 AD706 芯片的时序产生 AD 转换信号 ad\_convstab，等待 ADC 忙信号无效后，产生片选信号，依次读取 8 路 AD 数据。

信号名称	方向	宽度 (bit)	说明
clk	in	1	系统时钟
rst_n	in	1	异步复位，低复位
adc_data	in	16	ADC 数据输入
ad_busy	in	1	ADC 忙信号
first_data	in	1	第一通道数据指示信号
ad_os	out	3	ADC 过采样
ad_cs	out	1	ADC 片选
ad_rd	out	1	ADC 读信号
ad_reset	out	1	ADC 复位信号
ad_convstab	out	1	ADC 转换信号

<b>adc_data_valid</b>	in	1	ADC 数据有效
<b>ad_ch1</b>	out	16	ADC 通道 1 数据
<b>ad_ch2</b>	out	16	ADC 通道 2 数据
<b>ad_ch3</b>	out	16	ADC 通道 3 数据
<b>ad_ch4</b>	out	16	ADC 通道 4 数据
<b>ad_ch5</b>	out	16	ADC 通道 5 数据
<b>ad_ch6</b>	out	16	ADC 通道 6 数据
<b>ad_ch7</b>	out	16	ADC 通道 7 数据
<b>ad_ch8</b>	out	16	ADC 通道 8 数据

ad7606\_sample 模块主要完成 ad706 的单路数据转换。首先需要对输入数据转换为无符号数，最后的数据只取高 8 位的数据，数据宽度转换到 8bit（为了跟其它 8 位的 AD 模块程序兼容）。另外每次采集 1024 个数据，然后等待一段时间再继续采集下面的 1024 个数据。

信号名称	方向	宽度 (bit)	说明
<b>adc_clk</b>	in	1	adc 系统时钟
<b>rst</b>	in	1	异步复位，高复位
<b>adc_data</b>	in	16	ADC 数据输入
<b>adc_data_valid</b>	in	1	adc 数据有效
<b>adc_buf_wr</b>	out	1	ADC 数据写使能
<b>adc_buf_addr</b>	out	12	ADC 数据写地址
<b>adc_buf_data</b>	out	8	无符号 8 位 ADC 数据

ad7606\_sample 模块端口

grid\_display 模块主要完成视频图像的网格线叠加，本实验将彩条视频输入，然后叠加一个网格后输出，这一块网格区域提供给后面的波形显示模块使用，这个网格区域是位于显示器水平方向（从左到右）从 9 到 1018，垂直方向（从上到下）从 9 到 308 的视频显示位置。

```
if(pos_y >= 12'd9 && pos_y <= 12'd308 && pos_x >= 12'd9 && pos_x <= 12'd1018)
    region_active <= 1'b1;
```

信号名称	方向	宽度 (bit)	说明
pclk	in	1	像素时钟
rst_n	in	1	异步复位, 低电平复位
i_hs	in	1	视频行同步输入
i_vs	in	1	视频场同步输入
i_de	in	1	视频数据有效输入
i_data	in	24	视频数据输入
o_hs	out	1	带网格视频行同步输出
o_vs	out	1	带网格视频场同步输出
o_de	out	1	带网格视频数据有效输出
o_data	out	24	带网格视频数据输出

grid\_display 模块端口

wav\_display 显示模块主要是完成波形数据的叠加显示, 模块内含有一个双口 ram, 写端口是由 ADC 采集模块写入, 读端口是显示模块。在网格显示区域有效的时候, 每行显示都会读取 RAM 中存储的 AD 数据值, 跟 Y 坐标比较来判断显示波形或者不显示。

```

79 if(region_active == 1'b1)
80   if(12'd287 - pos_y == {4'd0, q})
81     v_data <= wave_color;
82   else
83     v_data <= pos_data;
84   else
85     v_data <= pos_data;

```

信号名称	方向	宽度 (bit)	说明
pclk	in	1	像素时钟
rst_n	in	1	异步复位, 低电平复位
wave_color	in	24	波形颜色, rgb

<b>adc_clk</b>	in	1	adc 模块时钟
<b>adc_buf_wr</b>	in	1	adc 数据写使能
<b>adc_buf_addr</b>	in	12	adc 数据写地址
<b>adc_buf_data</b>	in	8	adc 数据, 无符号数
<b>i_hs</b>	in	1	视频行同步输入
<b>i_vs</b>	in	1	视频场同步输入
<b>i_de</b>	in	1	视频数据有效输入
<b>i_data</b>	in	24	视频数据输入
<b>o_hs</b>	out	1	带网格视频行同步输出
<b>o_vs</b>	out	1	带网格视频场同步输出
<b>o_de</b>	out	1	带网格视频数据有效输出
<b>o_data</b>	out	24	带网格视频数据输出

wav\_display 模块端口

timing\_gen\_xy 模块为其它模块的子模块, 完成视频图像的坐标生成, x 坐标, 从左到右增大, y 坐标从上到下增大。

信号名称	方向	宽度 (bit)	说明
<b>clk</b>	in	1	系统时钟
<b>rst_n</b>	in	1	异步复位, 低电平复位
<b>i_hs</b>	in	1	视频行同步输入
<b>i_vs</b>	in	1	视频场同步输入
<b>i_de</b>	in	1	视频数据有效输入
<b>i_data</b>	in	24	视频数据输入
<b>o_hs</b>	out	1	视频行同步输出
<b>o_vs</b>	out	1	视频场同步输出
<b>o_de</b>	out	1	视频数据有效输出
<b>o_data</b>	out	24	视频数据输出

x	out	12	坐标 x 输出
y	out	12	坐标 y 输出

timing\_gen\_xy 模块端口

## 4 实验现象

- (1) 将 AN706 模块插入开发板，**扩展口接 J13，注意 1 脚对齐，不要插错、插偏，不能带电操作。**
- (2) 连接 AN706 的输入到信号发生器的输出，AN706 模块本身没有焊接 SMA 插头，本实验为了方便，自行焊接了一个 SMA 插头。
- (3) 连接 HDMI 显示器，**注意：连接的是显示器，不是笔记本电脑接口**



开发板连接图

- (4) 下载程序，调节信号发生的频率和幅度，AN706 输入范围-5V-5V，为了便于观察波形数据，建议信号输入频率 200hz 到 2Khz。观察显示器输出，红色波形为 CH1 输入、蓝色为 CH2 输入、黄色网格最上面横线代表 5V，最下面横线代表-5V，中间横线代表 0V，每个竖线间隔是 10 个采样点。

