

## 光纤通信 ctc 模式测试例程

### 1 实验简介

Pango 的 Logos2 系列 FPGA 集成了串行高速收发器 HSSTLP，可以实现高速串行数据通信。在 AXP100 开发板上，FPGA 的 HSSTLP 的 2 个收发器通道已经连接到 2 路 SFP 光模块接口，用户只需要另外购买 SFP 的光模块就可以实现光纤的数据传输。本实验将介绍通过光纤进行板间连接实现光模块之间的数据收发测试。

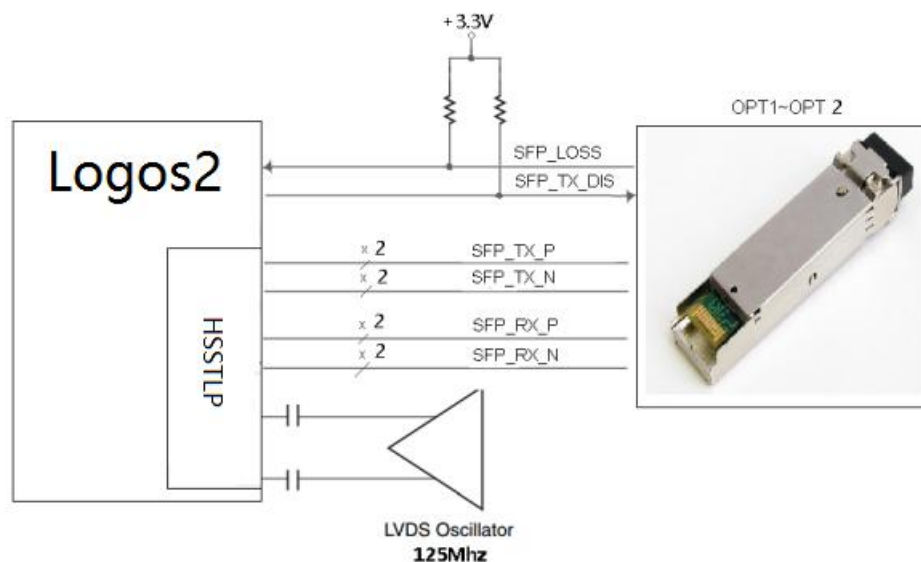
### 2 实验原理

#### 2.1 HSSTLP 介绍

HSSTLP 原理介绍参考《光纤通信测试例程》教程中的内容，这里不再重复。

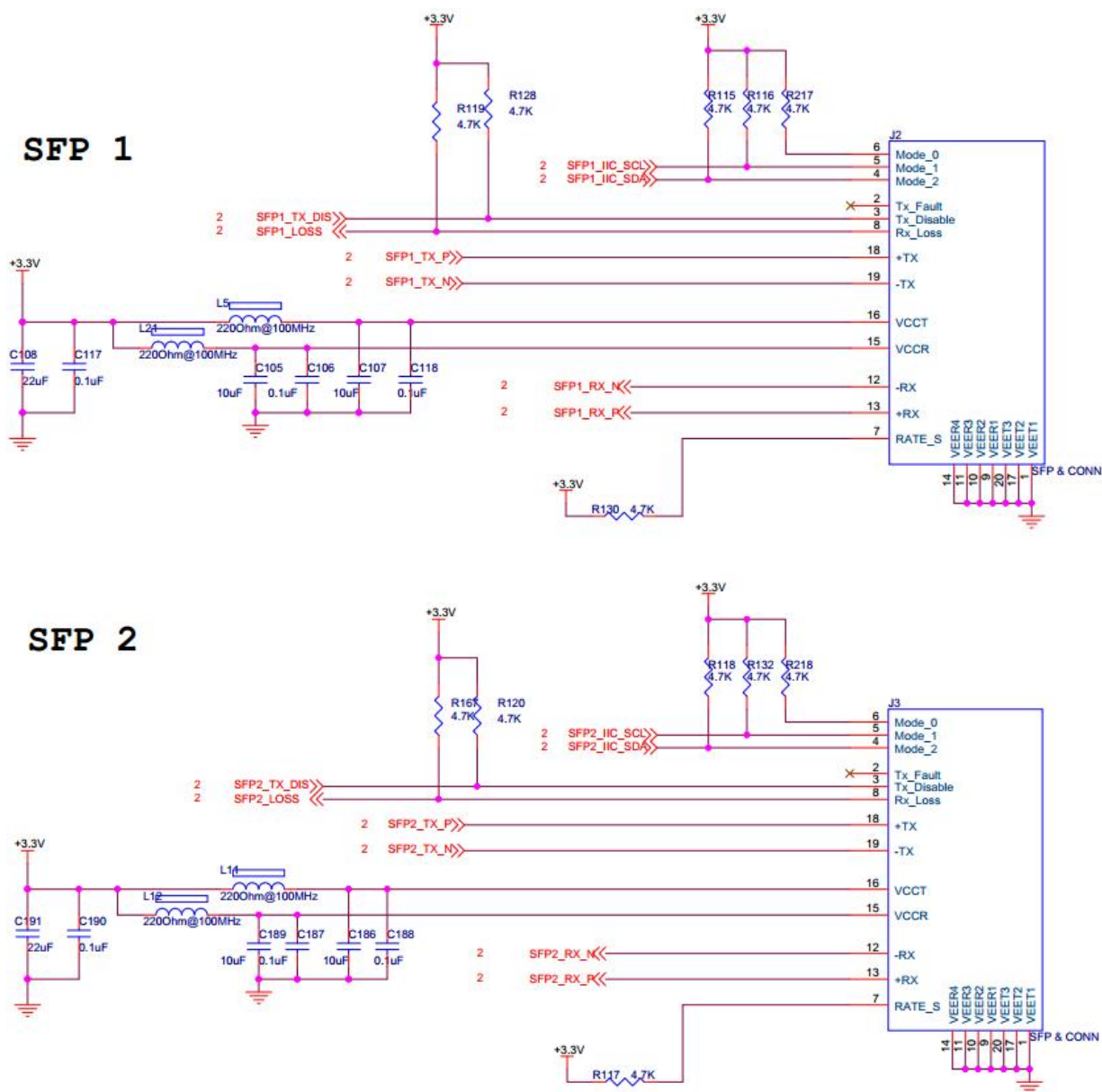
#### 2.2 硬件介绍

在开发板上，有 2 路光纤接口 SFP1~SFP2，分别连接到 FPGA 芯片的 HSSTLP 的通道上。FPGA 和光纤连接的设计示意图如下图所示：



其中 SFP1 光模块接口连接到 Q3 HSSTLP 的 Channel3 上, SFP2 跟 Q3 HSSTLP 的 Channel2 相连。光模块和 FPGA 之间用 0.1uF 的电容隔开, 使用 AC Couple 的模式。

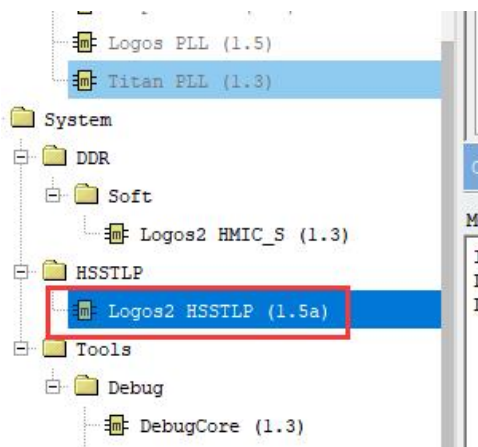
光模块的 LOSS 信号和 TX\_Disable 信号连接到 FPGA 的普通 IO 上。LOSS 信号用来检测光模块的光接收是否丢失, 如果没有插入光纤或者 Link 上, LOSS 信号为高, 否则为低。TX\_Disable 信号用来使能或者不使能光模块的光发射, 如果 TX\_Disable 信号为高, 光发射关闭, 否则光发送使能, 正常使用的时候需要拉低此信号。硬件原理图如下:



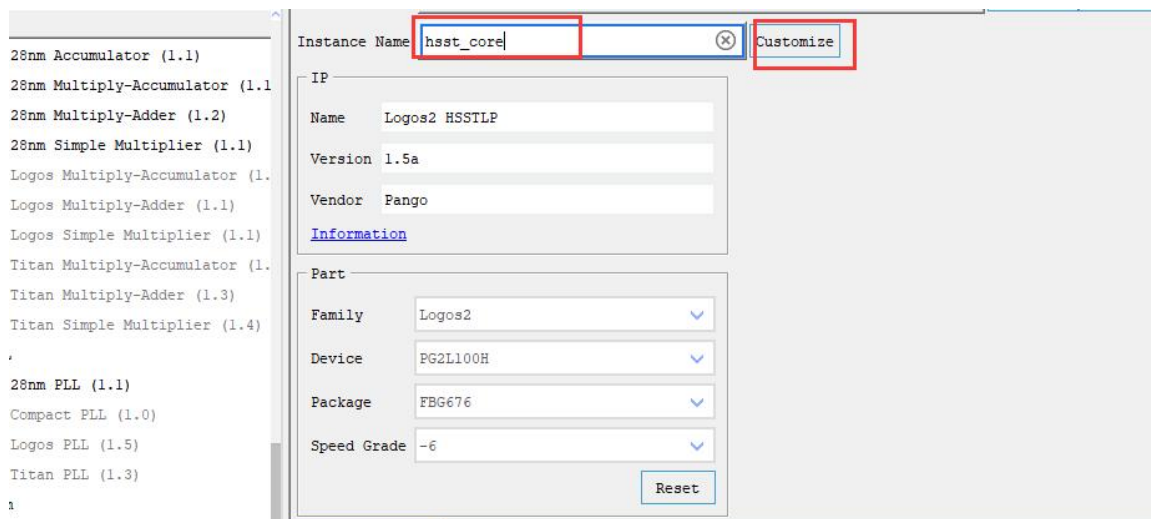
### 3 程序设计

我们先来测试一下开发板上的 HSSTLP 模块工作是否正常。以下是具体测试步骤：

1. 新建一个工程 `hsst_core`，在 `tools` 菜单栏下 IP Compiler 添加 HSST IP，`ipm2l_hsstlp_v1_5a.iar` IP 在 `hsst_test` 文件夹下，添加 IP 在《DDR3 读写测试实验》教程中已讲过，这里不再重复。



2. 新建 HSSTLP IP 并命名为 `hsst_core`，再单击 `Customize`；



3. 在弹出的界面中 `Protocol and Rate` 栏中按如下设置，`Channel0 Channel1` 为 `DISABLE`，`Channel2 Channel3` 为 `Fullduplex` 由硬件决定，速率：1.25G，数据位宽：32 位，选择 8/10 编解码，参考时钟为 `Diff_REFCK1`，频率 125M，Protocol 为 `CUSTOMERIZEDX2`；如下图所示：

Logos2 HSSTLP 1.5a Logos2-PG2L100H-FBG676--6

Protocol and Rate Alignment and CTC Misc

	Channel 0	Channel 1	Channel 2	Channel 3
Channel ENABLE	DISABLE	DISABLE	Full duplex	Full duplex
Protocol and Line Rate			CUSTOMERIZEDx2	CUSTOMERIZEDx2
Protocol				
<input type="checkbox"/> Protocol Default Setting				
TX Line Rate(0.6~6.6) (Gbps)	0.000000	0.000000	1.250000	1.250000
RX Line Rate(0.6~6.6) (Gbps)	0.000000	0.000000	1.250000	1.250000
PCS Encoder/Decoder, Fabric Interface Data Width and Clock Frequency				
TX Encoder	Bypassed	Bypassed	8B10B	8B10B
TX Fabric Data Width(Bits)	8	8	32	32
TX Fabric Clock Frequency			31.250000 MHz	31.250000 MHz
RX Decoder	Bypassed	Bypassed	8B10B	8B10B
RX Fabric Data Width(Bits)	8	8	32	32
RX Fabric Clock Frequency			31.250000 MHz	31.250000 MHz
PLL Configuration				
Use PLL Numbers	1			
PLL Reference Clock source from	Diff_REFCK1			
PLL Reference Clock frequency(MHz)	125.000000			

4.在 Alignment and CTC 栏中采用 CUSTOMERIZED\_MODE 和 CTC 模式； Misc 栏中时钟为 50MHZ，其它默认：

Protocol and Rate Alignment and CTC Misc

	Channel 0	Channel 1	Channel 2	Channel 3
Word Alignment				
Word Align Mode	Bypassed	Bypassed	CUSTOMERIZED MODE	CUSTOMERIZED MODE
COMMA code-group select			K28.5	K28.5
COMMA+ code-group(10bits)	0	0	0101111100	0101111100
COMMA MASK(bin)	0	0	0000000000	0000000000
Channel Bonding				
Channel Bonding Mode	Bypassed	Bypassed	Bypassed	Bypassed
Channel Bonding Special Code(bin)				
Channel Bonding Range (UI)				
Clock Tolerance Compensation				
CTC Mode	Bypassed	Bypassed	CUSTOMERIZED 2BYTE	CUSTOMERIZED 2BYTE
SKIP Byte#0(9bits)	0	0	111110111	111110111
SKIP Byte#1(9bits)	0	0	111110111	111110111
SKIP Byte#2(9bits)	0	0	0	0
SKIP Byte#3(9bits)	0	0	0	0

Logos2 HSSTLP IP Core Configuration

Protocol and Rate Alignment and CTC Misc

Channel 0 Channel 1 Channel 2

Reset Sequence Config

☒ Reset Sequence

Free Clock frequency(10~100 MHz) 50.0000

RXPCS Align Timer(0~65535 cycles) 65535 65535 32767 327

Channel Insertion Loss

TX Pre-Cursor Emphasis Enable ☐ TX0\_Pre-Cursor Enable ☐ TX1\_Pre-Cursor Enable ☐ TX2\_Pre-Cursor Enable ☐

TX Pre-Cursor Emphasis Static Setting 0dB 0dB 0dB 0dB

TX Post-Cursor Emphasis Enable ☐ TX0\_Post-Cursor Enable ☐ TX1\_Post-Cursor Enable ☐ TX2\_Post-Cursor Enable ☐

TX Post-Cursor Emphasis Static Setting 0dB 0dB 0dB 0dB

TX FFE Dynamic Control ☐ TX0 FFE Dynamic Control ☐ TX1 FFE Dynamic Control ☐ TX2 FFE Dynamic Control ☐

TX Config Post1 0dB 0dB 0dB 0dB

TX Config Post2 0dB 0dB 0dB 0dB

PMA Receiver Front End Config

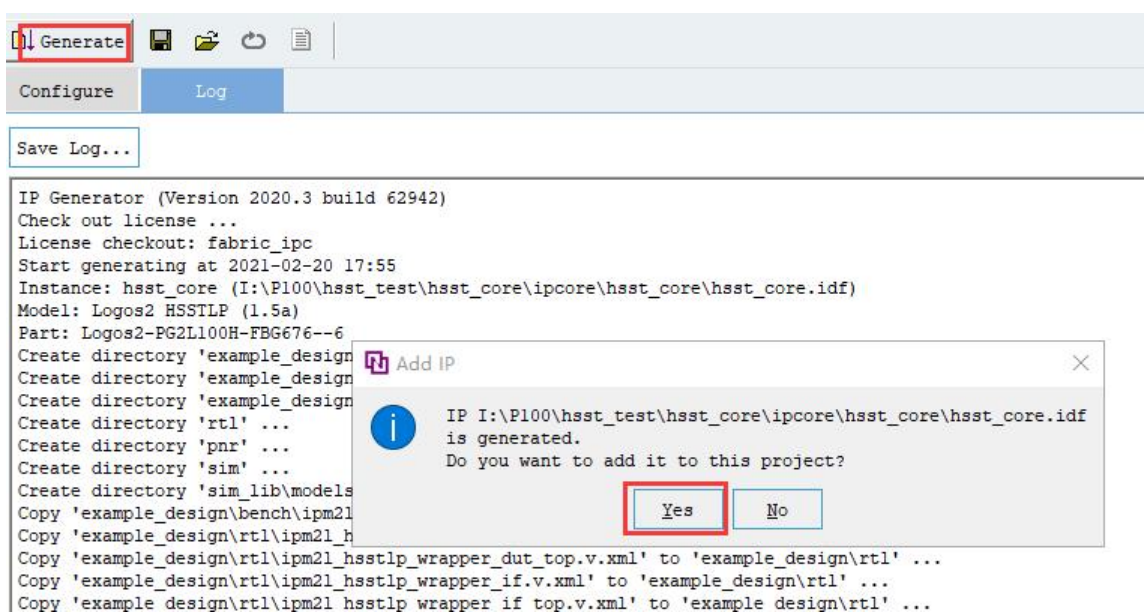
Rx Termination Mode external AC, internal DC external AC, internal DC external AC, internal DC external AC, internal DC

☐ APB Bus Enable

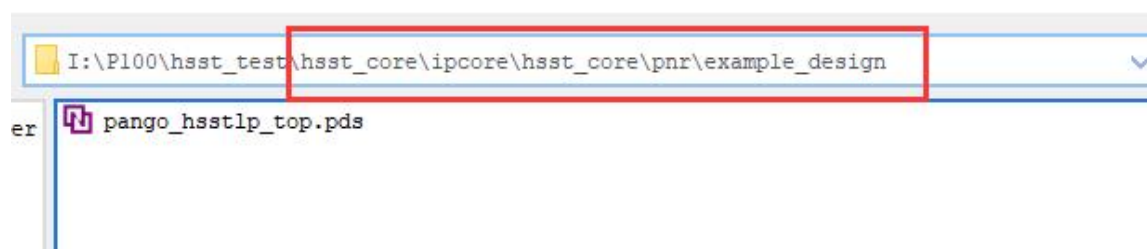
☐ Show HSSTLP Optional Pins

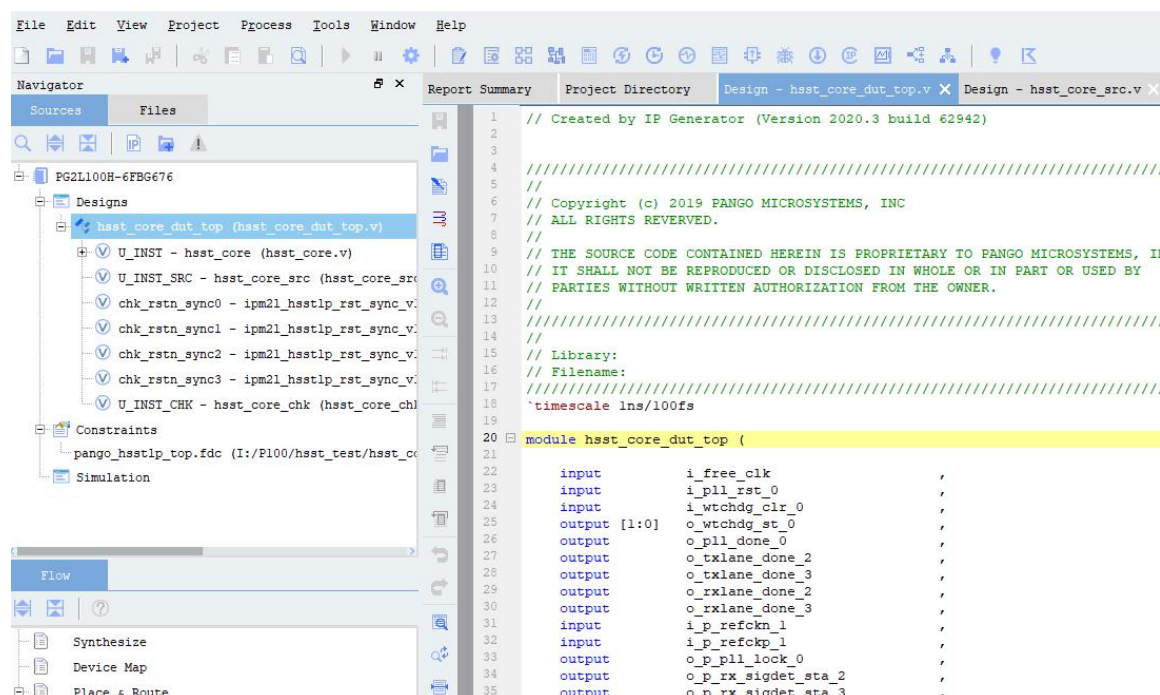
☐ Show Reset Sequence Optional Pins

5. 单击 Generate 产生 IP 即可，并单击“Yes”，软件会自动生成 demo。



6. 打开软件生成的 demo,工程在如下位置：





7. 为了适合开发板硬件电路设计，主要对 hst\_core\_dut\_top.v 的复位进行修改，进行统一复位，增加调试接口测试，修改管脚分配，其它不变，然后程序编译综合产生位流文件。

8. 把光纤两端接入接口 SFP1 和 SFP2 进行环路测试，下载程序到开发板中进行在线调试，可看到窗口中发送和接收的数据一致的。

## 4 实验现象

开发板自身是不带 SFP 的光模块和光纤的，所以测试之前需要自己准备 SFP 的光模块和光纤。因为光纤传输至少需要 2 个光模块，用户需要准备 2 个 SFP 光模块才是做光纤通信实验。10G 或者 1.25G SFP 的光模块和光纤再淘宝上都能购买到，在购买 SFP 光模块的同时，同时让商家提供配套的光纤就可以了。

测试之前我们把 SFP 的光模块分别两个 AXP100 开发板上，再用光纤把光模块 SFP1 与另一个开发板的 SFP1 对连起来。因为这里我们用的光模块及光纤是 TX 和 RX 是分开的，这样 SFP1 光模块 RX 需要跟 SFP2 光模块的 TX 相连，SFP1 光模块的 TX 需要连接到 SFP2 光模块的 RX。

下载程序到开发板中进行在线调试，可看到窗口中发送和接收的数据一致的。

